

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332741

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H04L 7/08

H04L 7/04

H04L 29/00

(21)Application number : 11-137544

(71)Applicant : NIPPON TELEGR & TELEPH  
CORP <NTT>

(22)Date of filing : 18.05.1999

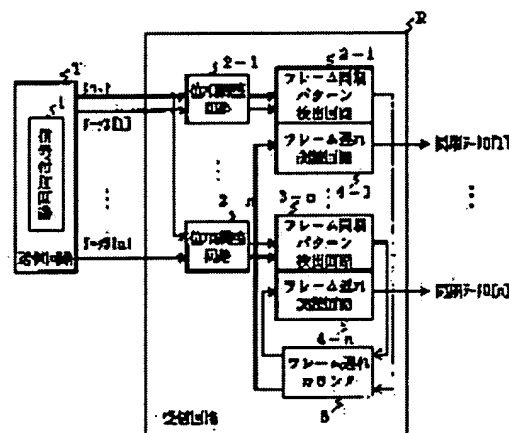
(72)Inventor : YAMAKOSHI KOYO  
KAWANO RYUSUKE  
YAMANAKA NAOAKI

## (54) COMMUNICATION APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To actualize parallel data transmission with high effective transmission efficiency by making a transmitting circuit add a phase adjusting signal and a frame synchronizing signal to the head of plural data signals, making a receiving circuit adjust the phase between the data signals and a clock signal, by using the phase adjusting signal and adjust the frame delay of the data signals and the frame synchronizing signal.

**SOLUTION:** A transmission circuit T adds a phase adjusting signal and the frame synchronizing signal following it to the head of data D[1],..., D[n] by a data signal adding circuit 1. The receiving circuit R adjusts the phase between the data D[1],..., D[n] and the clock signal by phase adjusting circuits 2-1,..., 2-n by using the phase adjusting signal. Frame synchronous pattern detecting circuits 3-1 to 3-n detects the arrival time differences among the data D[1],..., D[n] by using the frame synchronizing signal and frame delay adjusting circuits 4-1,..., 4-n detect the bit delay among the data D[1],..., D[n] according to the arrival time differences to adjust the frame delay.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-332741  
(P2000-332741A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データ* (参考)
H 0 4 L	7/08	H 0 4 L	Z 5 K 0 3 4
	7/04		Z 5 K 0 4 7
	29/00		S

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平11-137544

(22) 出願日 平成11年5月18日 (1999. 5. 18)

(71) 出願人 000004226

日本電信電話株式会社  
東京都千代田区大手町二丁目3番1号

(72) 発明者 山越 公洋

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 川野 韻介

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 100078237

弁理士 井出 直孝 (外1名)

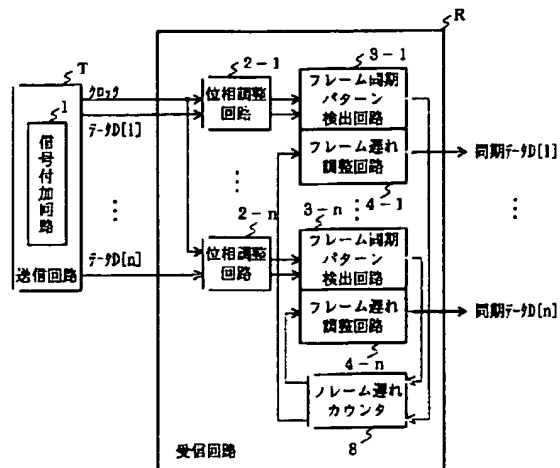
最終頁に続く

(54) 【発明の名称】 通信装置

(57) 【要約】

【課題】 有効伝送効率の高い並列データ伝送を実現する。小型化に適した回路により並列データ伝送を実現する。伝送路設計の自由度を向上させる。

【解決手段】 通常のデータ伝送に先立って、位相調整用信号とこれに続くフレーム同期用信号とを送信する。位相調整用信号を受信することにより、データ信号に対してクロック信号に同期する位相調整を行う。位相調整されたデータ信号は、続くフレーム同期用信号によって並列データ間のフレームの遅れが検出され、検出されたフレーム遅れ情報に基づき、フレーム同期が補償される。



## 【特許請求の範囲】

【請求項1】 複数 $n$ のデジタル化されたデータ信号をそれぞれ並列に送信する送信回路と、この送信回路から送信された複数 $n$ の前記データ信号をそれぞれ並列に受信する受信回路とを備えた通信装置において、

前記送信回路は、複数 $n$ の前記データ信号の先頭に位相調整用信号とこれに続くフレーム同期用信号とを構成するビットパターンをそれぞれ付加する手段を備え、

前記受信回路は、データ信号の受信に先立って、前記位相調整用信号を用いて複数 $n$ の前記データ信号とクロック信号との間の位相調整を行う位相調整回路と、前記フレーム同期用信号を用いて複数 $n$ の前記データ信号の到着時間差を検出する同期パターン検出回路と、この同期パターン検出回路により検出された前記時間差にしたがって複数 $n$ の前記データ信号間のビットの遅れをそれぞれ検出しフレーム遅れを調整するフレーム遅れ調整回路とを備えたことを特徴とする通信装置。

【請求項2】 前記位相調整用信号は、0、1の交互連続ビットパターンであり、前記フレーム同期用信号は、あらかじめ定められた特定ビットパターンである請求項1記載の通信装置。

【請求項3】 前記フレーム遅れ調整回路は、前記フレーム同期用信号によりラッチされるシフトレジスタを並列に $n$ 個備え、この $n$ 個のシフトレジスタが前記フレーム同期用信号をラッチした時刻にしたがって前記複数 $n$ のデータ信号の到着時間差を検出する手段を含む請求項1または2記載の通信装置。

【請求項4】 前記到着時間差を検出する手段は、最初に到着したデータ信号の前記フレーム同期用信号が前記シフトレジスタにラッチされた時刻と、着目するデータ信号の前記フレーム同期用信号が前記シフトレジスタにラッチされた時刻との間に発生したクロックサイクル数を検出する手段を備えた請求項3記載のフレーム同期回路。

【請求項5】 前記クロックサイクル数を検出する手段により検出されたクロックサイクル数にしたがって複数 $n$ の前記シフトレジスタにラッチされた複数 $n$ の前記フレーム同期用信号のそれぞれについて同じクロックタイミングのときに同じ位置にあるビットが読み出されるように読み出しビット位置を選択する手段を備えた請求項4記載の通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はデジタル化されたデータ信号を並列に伝送する装置に利用する。本発明は高速データの並列伝送に利用するに適する。特に、並列に伝送されるデータ信号間のフレームのずれを自動的に補正する技術に関する。

## 【0002】

【従来の技術】一つのデータ信号を複数 $n$ の並列データ

信号に分割して伝送することにより、データ信号をシリアルに伝送する場合と比較して短時間に大量のデータを伝送することができる並列データ伝送技術が広く知られている。本明細書では、高速に行われる並列データ伝送を想定して説明を行う。

【0003】並列データ伝送では、送信元が複数 $n$ の並列伝送路にフレーム同期させて送出したデータ信号を受信先でも送信元が送信したときと同じ状態でフレーム同期して受信することが要求される。これを実現するための従来技術としては、光ファイバなどの伝送路の長さを等長化することにより、各データ間の同期を取る手法や、データ信号を符号化して送信し、受信側でPLL回路を用いてデータ信号とクロック信号とを抽出する手法が用いられている。

## 【0004】

【発明が解決しようとする課題】しかし、光ファイバを用いた並列データ伝送では、一般に、伝送路が長い場合が多く、さらに、きわめて高速な伝送を行う場合が多い。このような並列データ伝送では、伝送路を等長化しても伝送路を構成する素子の特性にバラツキがあるなどの理由により、受信回路に到着するデータの到着時刻に差が生じてしまう。このため、伝送路を等長化することにより並列データ間のフレーム同期を取ることが困難になっている。

【0005】また、送信データを符号化して送信し、受信側でPLL回路を用いてデータ信号とクロック信号とを抽出する場合には、符号化に伴う付加ビットが必要となるため有効データの伝送効率が低下し、またPLL回路のオーバーヘッドも大きく、受信回路のコンパクト化も難しい。

【0006】本発明は、このような背景に行われたものであって、有効伝送効率の高い並列データ伝送を実現することができる通信装置を提供することを目的とする。本発明は、小型化に適した回路により並列データ伝送を実現することができる通信装置を提供することを目的とする。本発明は、伝送路設計の自由度を向上させることができる通信装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明は、少ないビット数の位相調整用信号およびフレーム同期用信号を用い、さらに、簡単な構成の回路を用いてフレーム同期を実現することを特徴とする。本発明の通信装置は、送信側が、通常のデータ送信に先立って、位相調整用信号とこれに続くフレーム同期用信号とを送信する。受信側では、位相調整用信号を受信することにより、データ信号に対してクロック信号に同期する位相調整を行う。位相調整されたデータ信号は、続くフレーム同期用信号によって並列データ間のフレームの遅れが検出され、検出されたフレーム遅れ情報に基づき、フレーム同期が補償される。

【0008】本発明の通信装置では、距離が離れたシステム間の伝送においても、受信側が自動的にフレーム同期を補償するため、伝送路の設計が飛躍的に容易となる。また、一度、フレーム同期が確立されたならば、系の電源をOFFするまで、フレーム同期が保持される。また、符号化を用いた従来のフレーム同期方式の場合は有効伝送効率の低下を避けられないが、本発明の方式では、有効伝送効率を低下させることなく、データ間のフレーム同期を確立することが可能となる。さらに、受信回路にPLL回路を用いる必要がなく、回路を小型化することができる。

【0009】すなわち、本発明は、複数 $n$ のデジタル化されたデータ信号をそれぞれ並列に送信する送信回路と、この送信回路から送信された複数 $n$ の前記データ信号をそれぞれ並列に受信する受信回路とを備えた通信装置である。

【0010】ここで、本発明の特徴とするところは、前記送信回路は、複数 $n$ の前記データ信号の先頭に位相調整用信号とこれに続くフレーム同期用信号とを構成するビットパターンをそれぞれ付加する手段を備え、前記受信回路は、データ信号の受信に先立って、前記位相調整用信号を用いて複数 $n$ の前記データ信号とクロック信号との間の位相調整を行う位相調整回路と、前記フレーム同期用信号を用いて複数 $n$ の前記データ信号の到着時間差を検出する同期パターン検出回路と、この同期パターン検出回路により検出された前記時間差にしたがって複数 $n$ の前記データ信号間のビットの遅れをそれぞれ検出しフレーム遅れを調整するフレーム遅れ調整回路とを備えたところにある。

【0011】このように、受信回路がフレーム遅れを自動的に調整することができるため、送信側でデータ信号を符号化して伝送する場合と比較して有効伝送効率の高い並列データ伝送を実現することができる。また、符号化の場合には、受信側にPLL回路を設ける必要があるが、本発明では、そのような回路を設けることなく、小型化に適した回路により並列データ伝送を実現することができる。また、伝送路設計の自由度を向上させることができる。

【0012】前記位相調整用信号は、例えば、0、1の交互連続ビットパターンであり、前記フレーム同期用信号は、例えば、あらかじめ定められた特定ビットパターンである。

【0013】前記フレーム遅れ調整回路は、前記フレーム同期用信号によりラッチされるシフトレジスタを $n$ 個並列に備え、この $n$ 個のシフトレジスタが前記フレーム同期用信号をラッチした時刻にしたがって前記複数 $n$ のデータ信号の到着時間差を検出する手段を含むことが望ましい。また、前記到着時間差を検出する手段は、最初に到着したデータ信号の前記フレーム同期用信号が前記シフトレジスタにラッチされた時刻と、着目するデータ

信号の前記フレーム同期用信号が前記シフトレジスタにラッチされた時刻との間に発生したクロックサイクル数を検出する手段を備えることが望ましい。

【0014】さらに、前記クロックサイクル数を検出する手段により検出されたクロックサイクル数にしたがって複数 $n$ の前記シフトレジスタにラッチされた複数 $n$ の前記フレーム同期用信号のそれぞれについて同じクロックタイミングのときに同じ位置にあるビットが読み出されるように読み出しビット位置を選択する手段を備えることが望ましい。このように、フレーム同期用信号の受信期間中に、フレームのズレが補正され、以降は、この補正値がそのまま活かされるため、データ信号におけるフレーム同期を確立することができる。

【0015】

【発明の実施の形態】本発明実施例を図1ないし図5を参照して説明する。図1は本発明実施例の全体構成図である。図2は本発明実施例の位相調整用信号およびフレーム同期用信号のビットパターンを示す図である。図3は本発明実施例のフレーム同期パターン検出回路の要部ブロック構成図である。図4は本発明実施例のフレーム遅れカウンタおよびフレーム遅れ調整回路の要部ブロック構成図である。図5は本発明実施例のフレーム遅れ調整回路の動作を説明するための図である。

【0016】本発明は、図1に示すように、複数 $n$ のデジタル化されたデータ信号 $D[1]$ 、…、 $D[n]$ をそれぞれ並列に送信する送信回路 $T$ と、この送信回路 $T$ から送信されたデータ信号 $D[1]$ 、…、 $D[n]$ をそれぞれ並列に受信する受信回路 $R$ とを備えた通信装置である。

【0017】ここで、本発明の特徴とするところは、送信回路 $T$ は、データ信号 $D[1]$ 、…、 $D[n]$ の先頭に、図2に示すような位相調整用信号とこれに続くフレーム同期用信号とを構成するビットパターンをそれぞれ付加する信号付加回路1を備え、受信回路 $R$ は、データ信号の受信に先立って、前記位相調整用信号を用いてデータ信号とクロック信号との間の位相調整を行う位相調整回路 $2-1 \sim 2-n$ と、前記フレーム同期用信号を用いてデータ信号 $D[1]$ 、…、 $D[n]$ の到着時間差を検出するフレーム同期パターン検出回路 $3-1 \sim 3-n$ と、このフレーム同期パターン検出回路 $3-1 \sim 3-n$ により検出された前記時間差にしたがってデータ信号 $D[1]$ 、…、 $D[n]$ 間のビットの遅れをそれぞれ検出しフレーム遅れを調整するフレーム遅れ調整回路 $4-1 \sim 4-n$ とを備えたところにある。

【0018】前記位相調整用信号は、図2に示すように、0、1の交互連続ビットパターンであり、前記フレーム同期用パターンは、あらかじめ定められた特定ビットパターン“00111010”である。

【0019】フレーム遅れ調整回路 $4-1 \sim 4-n$ は、図3に示すように、前記フレーム同期用信号によりラッ

チされる8ビットシフトレジスタ5をn個並列に備え、このn個の8ビットシフトレジスタ5が前記フレーム同期用信号をラッチした時刻にしたがってデータ信号D[1]、…、D[n]の到着時間差を検出する。到着時間差を検出するときには、図5に示すように、最初に到着したデータ信号の前記フレーム同期用信号が8ビットシフトレジスタ5にラッチされた時刻と、着目するデータ信号の前記フレーム同期用信号が8ビットシフトレジスタ5にラッチされた時刻との間に発生したクロックサイクル数を図4に示す3ビットカウンタ7により検出する。3ビットカウンタ7により検出されたクロックサイクル数にしたがって8ビットシフトレジスタ5にそれぞれラッチされた前記フレーム同期用信号について同じクロックタイミングのときに同じ位置にあるビットが読み出されるように読み出しビット位置を選択するセクタ回路6を備える。

【0020】次に、本発明実施例の動作を説明する。本発明実施例は、nビットの並列データ伝送システムの例である。図1は、クロック信号とn本のデータ信号D[1]、…、D[n]とを並列に伝送する送信回路Tと受信回路Rとを示す図であり、受信回路Rに本発明を適用した構成を示す図である。

【0021】図2は位相調整用信号およびフレーム同期用信号のビットパターンであり、実際の伝送モードに入る前に送信回路Tにより、データD[1]、…、D[n]に対して同じタイミングで送信される。位相調整用信号の“1”、“0”の繰り返しビットパターンが続いた後、フレーム同期用信号の特定ビットパターンが続く。本発明実施例では、“00111010”をフレーム同期用信号の特定ビットパターンとした。

【0022】n本のデータ信号は、まず位相調整回路2-1～2-nにより、クロック信号のエッジに対して位相合わせが行われる。位相が揃ったn本のデータは、図3に示すフレーム同期パターン検出回路3-1～3-nの8ビットシフトレジスタ5に入る。そして、フレーム同期用信号のビットパターン（本発明実施例では、“00111010”）が8ビットシフトレジスタ5にラッチされると、8ビットシフトレジスタ5の出力値とフレーム同期用信号とを入力とするEXNOR（排他的NOR）回路10の論理出力がすべて“1”となり、D-FF回路11の入力が“1”となり、次のクロックエッジでD-FF回路11の出力、すなわちフレーム同期パ

ターン検出フラグP[i]（ただし、iは1～nのいずれか）が“1”となり、この出力値がOR回路12に入力されるため、以後P[i]の値は“1”が保持される。

【0023】各データD[i]のフレーム同期パターン検出フラグP[i]は、図4に示すフレーム遅れ調整回路4-1～4-nに入力される。なお、図4に示す3ビットカウンタ7は、図1に示すフレーム遅れカウンタ8に並列にn個収容されている。フレーム遅れ調整回路4-1～4-nに入力された各P[i]は、OR回路13に入力され、OR回路13からは各P(i)の和論理が出力される。また、EXOR（排他的論理和）回路14には、OR回路13の出力とP[i]が入力され、それらの排他的論理和により、1番最初のデータが到着してから、D[i]が到着するまでのクロックサイクルの間、値“1”がEXOR回路14の出力に保持される。

【0024】図5は、フレーム同期パターン検出フラグ各P[i]とフレーム遅れのクロックサイクル長に応じた信号C[i]を示す図である。例えば、データD[3]については、最も早く到着したデータD[2]に対して3クロック分の遅れが生じているため、3クロックサイクルの間、値“1”がC[3]に出力される。

【0025】EXOR回路14の出力は、3ビットカウンタ7のアップイネーブル信号に入力してあるため、データ到着の遅れクロックサイクル数に応じた値が、3ビットカウンタ7において保持される。

【0026】3ビットカウンタ7の値は図3の8ビットシフトレジスタ5に接続されたセクタ回路6の選択入力に接続されている。データ到着の遅れクロックサイクル数に応じて、遅れ分を補償したクロックサイクルのデータがセクタ回路6で選択され、データD[1]、…、D[n]が、送信したときと同じタイミングで出力される。すなわち、セクタ回路6では、3ビットカウンタ7により検出されたクロックサイクル数にしたがって8ビットシフトレジスタ5にそれぞれラッチされた複数nの前記フレーム同期用信号について同じクロックタイミングのときに同じ位置にあるビットを読み出すように読み出しビット位置を選択する。3ビットカウンタ7の値は表1に示すように、以後保持され続けるため、データ出力のフレーム同期は保持され続ける。

【0027】

【表1】

	3ビットカウンタ値	フレーム同期データ
データD [1]	1	D1 [1]
データD [2]	0	D0 [2]
データD [3]	3	D2 [3]
⋮	⋮	⋮
データD [n]	3	D2 [n]

【発明の効果】以上説明したように、本発明によれば、有効伝送効率の高い並列データ伝送を実現することができる。また、小型化に適した回路により並列データ伝送を実現することができる。さらに、伝送路設計の自由度を向上させることができる。

【図面の簡単な説明】

【図1】本発明実施例の全体構成図。

【図2】本発明実施例の位相調整用信号およびフレーム同期用信号のビットパターンを示す図。

【図3】本発明実施例の同期パターン検出回路の要部ブロック構成図。

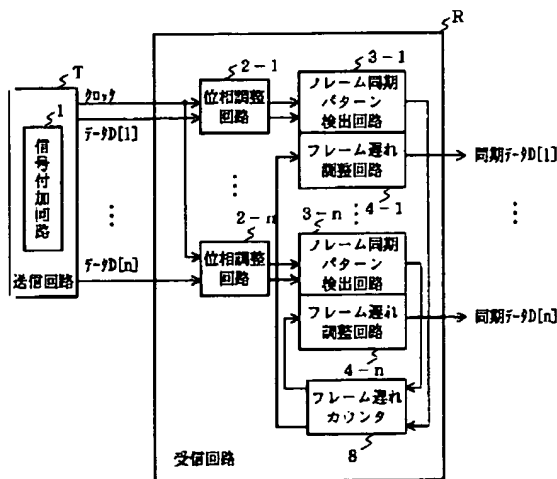
【図4】本発明実施例のフレーム遅れカウンタおよびフレーム遅れ調整回路の要部ブロック構成図。

【図5】本発明実施例のフレーム遅れ調整回路の動作を説明するための図。

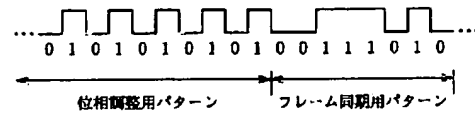
【符号の説明】

- 1 信号付加回路
- 2-1~2-n 位相調整回路
- 3-1~3-n フレーム同期パターン検出回路
- 4-1~4-n フレーム遅れ調整回路
- 5 8ビットシフトレジスタ
- 6 セレクタ回路
- 7 3ビットカウンタ
- 8 フレーム遅れカウンタ
- 10 EXNOR回路
- 11 D-FF回路
- 12、13 OR回路
- 14 EXOR回路
- T 送信回路
- R 受信回路

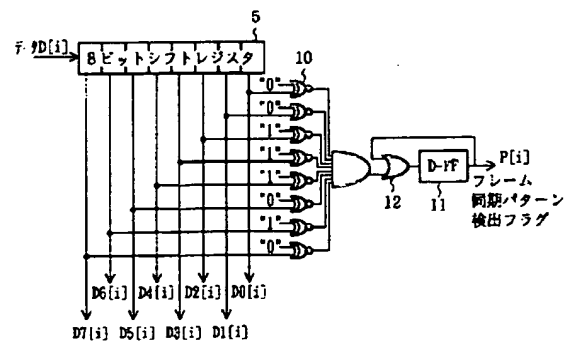
【図1】



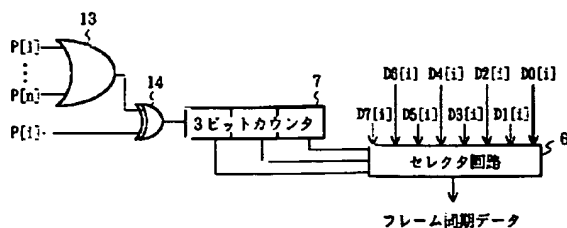
【図2】



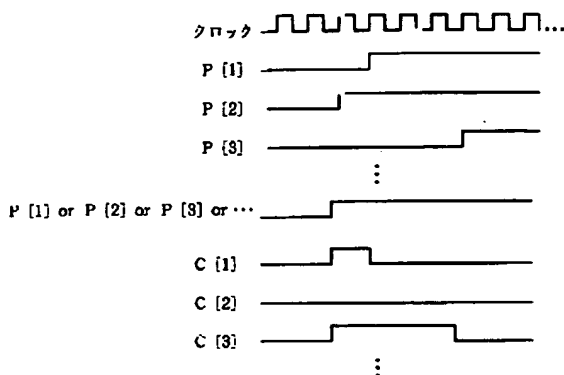
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 山中 直明  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

Fターム(参考) 5K034 AA06 AA10 CC01 CC06 DD01  
EE07 EE08 HH01 HH02 HH03  
HH07 HH12 HH24 PP01 PP04  
PP07  
5K047 AA08 AA15 BB04 GG03 GG06  
HH01 HH12 HH43 HH55 JJ06  
JJ08 MM27



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**